

## 第2655328号

(45)発行日 平成9年(1997)9月17日

(24)登録日 平成9年(1997)5月30日

(51) Int. Cl.<sup>6</sup>  
 G09G 3/36  
 G02F 1/133  
 G09G 3/18

識別記号

550

府内整理番号

F I

G09G 3/36  
G02F 1/133  
G09G 3/18

550

発明の数1 (全8頁)

(21)出願番号 特願昭62-331765

(73)特許権者 999999999

ホシデン株式会社

(22)出願日 昭和62年(1987)12月25日

大阪府八尾市北久宝寺1丁目4番33号

(65)公開番号 特開平1-170986

(72)発明者 安居 勝

(43)公開日 平成1年(1989)7月6日

大阪府八尾市北久宝寺1丁目4番33号  
星電器製造株式会社内

(72)発明者 上西 律善

大阪府八尾市北久宝寺1丁目4番33号  
星電器製造株式会社内

(74)代理人 弁理士 草野 卓

審査官 新宮 佳典

最終頁に続く

(54)【発明の名称】電源オフ時の液晶表示消去方法

## (57)【特許請求の範囲】

【請求項1】液晶表示装置の電源オフ時に、その液晶表示装置に実装されたアクティブマトリクス液晶表示パネルの表示画像をクリアする方法であつて、  
 上記液晶表示パネルのソースバス駆動回路に対しては、上記液晶表示装置の電源から直接動作電源を供給し、上記液晶表示パネルのゲートバス駆動回路に対しては、上記電源から所定時間電力を保持することができる電源保持回路を通じて動作電源電圧を供給し、  
 上記電源がオフされた時には、そのオフを検出して直ちに消去信号を発生し、その消去信号を上記ゲートバス駆動回路に与えて電源オフの直後の一定時間全てのゲートバスを同時にアクティブルーレベルに保持し、上記ゲートバスに接続された全てのトランジスタを同時にオンにすることを特徴とする電源オフ時の液晶表示消去方法。

## 【発明の詳細な説明】

## 【産業上の利用分野】

アクティブマトリクスタイプ液晶の如く、液晶表示パネル内部に記憶機能をもった表示器の表示を、液晶表示装置の電源オフ時にクリアさせるようにした電源オフ時の表示消去方法に関する。

## 【従来の技術】

初めに従来のアクティブマトリクスタイプ液晶の表示パネルにつき簡単に説明する。第4図に示すように、液晶表示素子1においては液晶画素2がマトリクス(m行、n列とする。)状に配列され、その表示電極2aがTFT(トランジスタ)3のドレインに接続される。TFT3のソース及びゲートは互に直交するソースバス4及びゲートバス5にそれぞれ接続される。液晶画素2には表示電極2aと対向して対向電極(共通電極とも言う)2bが形成

されている。

ソースバス 4 を駆動するためにソースバス駆動回路 6 が設けられる。同回路には、第 5 図に示すように水平画素クロック CPH、水平同期信号 Hs、交流化指令信号 M 及び図示していないが水平画素クロック CPH と同期して、水平方向に画素データ（論理 “1” 又は “0” を表わす 2 値符号）D が液晶表示装置の本体側（図示せず）より供給される。ソースバス駆動回路 6 においては、各ソースバスドライバ 6a より液晶表示素子 1 の 1 行分の画素に表示されるべき信号 S<sub>j</sub> (j = 1 ~ n) が 1 水平時間 (1H) 毎に各ソースバス 4<sub>j</sub> に一齊に出力される。この信号 S<sub>j</sub> はソースバス駆動信号とも言われ、第 5 図 D に示す如く、画素データ D の “1” 及び “0” に応じてそれぞれ E<sub>1j</sub> 及び E<sub>0j</sub> (M = 1 のフィールドの場合) 又は E<sub>1j</sub> 及び E<sub>0j</sub> (M = 0 のフィールドの場合) の電圧をもつ信号である。ここで E<sub>1j</sub> = (E<sub>1j</sub> + E<sub>0j</sub>) / 2 とされる。ソースバス駆動回路 6 には動作電源として、液晶表示装置本体より直流電圧 E<sub>1j</sub>、E<sub>2j</sub>、E<sub>3j</sub> 及び共通電位 EG (ゼロボルト) が供給される。上記ソースバス駆動信号 S<sub>j</sub> のとるレベル E<sub>1j</sub>、E<sub>2j</sub>、E<sub>3j</sub> はそれぞれこれら電源電圧 E<sub>1j</sub>、E<sub>2j</sub>、E<sub>3j</sub> にほぼ等しい。即ち理想的には E<sub>i</sub> = E<sub>1j</sub> (i = 1 ~ 3) である。液晶表示素子 1 にも本体より共通電位 EG が与えられると共に各画素の電極 2b には共通に上記電圧 E<sub>1j</sub> に応じた電圧 E<sub>1j</sub> が与えられる。共通電位 EG (ゼロボルト) と電圧 E<sub>1j</sub>、E<sub>2j</sub>、E<sub>3j</sub> の大小関係は例えば E<sub>1j</sub> > EG > E<sub>2j</sub> > E<sub>3j</sub> とされる。

ゲートバス駆動回路 7 は、ゲートバス 5<sub>1</sub> ~ 5<sub>m</sub> を順次 1 水平時間 (1H) の間高レベルに駆動し、1 行分の TFT を第 1 行から第 m 行迄順次オンさせる。これによりソースバス駆動信号 S<sub>j</sub> (j = 1 ~ n) は対応する行の画素に印加される。同回路は主に m 段のシフトレジスタ 8 とゲートバスドライバ 9 とで構成される。装置本体より垂直同期信号 V<sub>s</sub> (第 5 図 E) がスタート信号として第 1 段のシフトレジスタのデータ端子 D に供給され、また水平同期信号 H<sub>s</sub> が各段のクロック端子 CK に供給される。スタート信号が 1 水平時間ずつ順次遅延されたパルスが各段の出力端子 Q より出力されてゲートバスドライバ 9 に与えられる。ゲートバスドライバ 9 では入力された上記パルスがレベル変換され、各段のパルスの高レベル、低レベルに対応してそれぞれ電圧レベルが V<sub>1j</sub>、V<sub>2j</sub> のゲートバス駆動信号 G<sub>1j</sub> ~ G<sub>mj</sub> (第 5 図 F) がゲートバス 5<sub>1</sub> ~ 5<sub>m</sub> に出力される。装置本体より動作電源として電源電圧 V<sub>1j</sub>、V<sub>2j</sub> がシフトレジスタ 8 及びゲートバスドライバ 9 に供給され、また電源電圧 V<sub>3j</sub> がゲートバスドライバ 9 に供給される。これら各電圧の大小関係は V<sub>1j</sub> > V<sub>2j</sub> > V<sub>3j</sub> であり、V<sub>1j</sub> - V<sub>2j</sub> = 5 ボルトに設定される場合が多い。上記ゲートバス駆動信号 G<sub>1j</sub> の高レベル V<sub>1j</sub> 及び低レベル V<sub>2j</sub> はそれぞれ電源電圧 V<sub>1j</sub>、V<sub>2j</sub> にほぼ等しい。（理想的には全く等しいものである。）

ところで、任意の時点で表示画面をクリアするには装置本体より各画素の表示を無くすための 1 画面分 (m 行

分) の論理 “0” の画素データが与えられ、ソースバス駆動回路 6 より電圧 E<sub>0j</sub> の m 行分の信号が 1 水平時間毎に順次各ソースバス 4<sub>j</sub> が一齊に与えられ、一方ゲートバス駆動回路 7 により各行のゲートバス 5<sub>j</sub> が順次 1 水平時間づつ高レベルとされて、1 画面 (1 フィールド) の表示がクリアされる。即ち画面表示をクリアするには少くとも H (H は 1 水平時間) の時間が必要とされる。

今まで画素表示させていた表示装置の使用を停止する場合には、通常は特に上記の画面クリアの操作は行われず、表示装置本体の電源スイッチがオフに操作される。これにより液晶表示パネルに供給されていた各種の信号は消滅し、各種の電源電圧も短時間で共通電位 (アースの電位) におとされる。ゲートバスドライバの出力 G<sub>ij</sub> も消滅し、共通電位におとされる。従って液晶表示素子 1 の全ての TFT はオフとされ、画素容量に蓄えられていた電荷は外部放電経路が遮断されるため、比較的長時間保持される。しかし、その電荷はいずれ自己放電によつて、ゆっくりではあるが次第に減少し、表示画像は次第にクリアされる。

#### 20 「発明が解決しようとする問題点」

以上述べたように、電源オフ時には、画素容量に電荷を蓄積させた状態で TFT がオフされるので、この蓄積電荷は長時間に亘り保持される。そのため表示画面に残像が残り、表示品位を損なうことになる。またこのように画素に電荷をためたまま放置することは、液晶に直流電圧をかけたままとすることであるから、液晶の寿命を低下させ、信頼性を損なうこととなる。

この発明の目的は、電源オフ時に画素容量の電荷を放電するようにして、残像を短時間でクリアさせると共に、液晶の寿命及び信頼性の低下を防止しようとするものである。

#### 「問題点を解決するための手段」

この発明は液晶表示装置の電源オフ時にアクティブマトリクス液晶表示パネルの表示画像をクリアする方法であつて、その液晶表示パネルのゲートバス駆動回路に供給される動作電源の電力を上記電源オフ後も所定時間保持する電源保持回路が設けられ、その電源保持回路より得られる電力がゲートバス駆動回路に供給される。また上記電源オフが検出され、その検出信号により上記ゲートバス駆動回路の出力は所定時間同時にアクティブレベルに保持される。

#### 「実施例」

この発明を適用した液晶表示パネルの要部の回路図を第 1 図に第 4 図と対応する部分には同じ符号を付して示し、重複説明は省略する。ソースバス駆動回路 6 及び液晶表示素子 1 は第 4 図と同じであるので省略している。

この発明においては第 1 図に示すように、液晶表示装置本体より端子 21 に供給される電源電圧 V<sub>1j</sub> (従来例の電圧 V<sub>1j</sub> と同じ) によりダイオード 12a を介して大容量のコンデンサ 12b を充電すると共にゲートバス駆動回路 7 に

供給するようにする。これらのダイオード12a及びコンデンサ12bは電源がオフされた後も所定時間電力を保持して負荷に供給するための電源保持回路12を構成するものである。電源保持回路12の出力電圧 $V_{11}$ が入力電圧 $V_i$ より低下し不都合である場合はその低下分だけ入力電圧 $V_i$ を大きくするか或いは電源保持回路の入力側にDC-DCコンバータを設けて入力電圧を昇圧するようにしてもよい。電源保持回路12の出力は電源回路13にも供給され、電源回路13では従来装置本体側より供給されていた電源電圧 $V_2$ に代るべき電圧 $V_{11}$ が作成されて、ゲートバス駆動回路7に供給される。その他の電圧は従来例と同じであってゲートバス駆動回路7に電圧 $V_1$ （ゲートバス駆動信号 $G_1$ の低レベルの電圧 $V_{11}$ にほぼ等しい）が供給され、また図示していないがソースバス駆動回路6に電圧 $E_1, E_2, E_3$ が供給され、液晶表示素子1の対向電極2bに電圧 $E_1$ が供給されている。

いま時間 $t_1$ において表示装置本体の電源スイッチをオフに操作したとすれば、電圧 $V_i$ は時間 $t_1$ の時点でゼロボルト（共通電位）に立下がる（第2図A）。しかし、電源保持回路12の出力電圧 $V_{11}$ は大きな時定数 $C_1, R_1$ （ $C_1$ はコンデンサ12の容量、 $R_1$ は電源保持回路12の負荷抵抗）でゆっくりと降下する（第2図C）。一方、電圧 $V_i$ の電圧降下が電圧降下検出回路14で検出され、同回路は例えば標準値の20%降下した時点 $t_2$ でそれまで高レベルであった出力を低レベルに変化させる（第2図B）。電圧降下検出回路14の出力はコンデンサ15、抵抗器16を順次介して電源保持回路12の出力側に接続され、コンデンサ15と抵抗器16との接続点Fはインバータ17の入力端子に接続される。接続点Fの電圧 $V_f$ は時間 $t_1$ で降下した後CRの時定数（ $C, R$ はそれぞれコンデンサ15及び抵抗器16の定数）で電源保持回路12の出力電圧 $V_{11}$ に漸近する（第2図C）。

インバータ17には動作電源として上記電圧 $V_{11}$ 及び $V_i$ が供給され、電圧 $V_{11}$ も第2図Cに示すように、時間 $t_1$ 以降電圧 $V_{11}$ と共にゆっくりした時定数で共通電位に降下する。インバータ17のスレッショルドレベル $V_{11}$ が第2図Cのように $V_{11}$ と $V_i$ との間のレベルに設定してあるので、インバータ17の入力電圧 $V_f$ がスレッショルドレベル $V_{11}$ 以下となる時間幅T ( $t_1 \sim t_2$ ) の間、インバータ17より高レベルの出力 $V_1$ が出力される（第2図D）。インバータ17の出力 $V_1$ の波形は時間Tにおいては電圧 $V_{11}$ の波形にほぼ等しく、それ以外の時間では電圧 $V_{11}$ にほぼ等しい。インバータ17の出力 $V_1$ のパルス幅Tは液晶表示パネルに供給される電源電圧 $E_1, E_2, E_3, V_1, V_2$ が電源オフ時に共通電位に立下る迄の時間よりやや大きく設定さ

れる。

インバータ17の出力 $V_1$ はシフトレジスタ8の各段のプリセット端子Pに供給され、各段のQ出力はT時間の間高レベル（ほぼ $V_{11}$ に等しい）とされ、ゲートバスドライバ9に出力 $G_1 \sim G_6$ も高レベル（TFTをアクティブにするレベルであればよく、この場合ほぼ $V_{11}$ に等しい）とされる。従来例で述べた液晶表示素子1の全てのTFTはT時間の間一齊にオンとされ、従って各画素の表示電極2aはTFTを通じてソースバスドライバ6aに電気的に接続される。ソースバスドライバ6aは動作電源電圧 $E_1, E_2, E_3$ が共通電位に立下るとほぼ同時にその出力端子の電位が共通電位となるよう構成されている。即ち、ソースバス駆動信号 $S_1 \sim S_6$ がT時間以内に共通電位に立下るようになっている。表示電極2a及び対向電極2b（対向電極には電圧 $E_1$ が供給されている。）には共にT時間以内に共通電位が与えられ、画素容量に蓄積されていた電荷はT時間の終了迄には全て放電される。即ち時間Tは画素容量の電荷が放電するに必要な時間を含んだ時間である。

第3図は他の実施例を示すもので、シフトレジスタ8とゲートバスドライバ9との間にオア回路20を設け、オア回路20の各素子の一方の入力にシフトレジスタ8の各段の出力を供給し、他方の入力にインバータ17の出力 $V_1$ を供給し、各素子の出力をゲートバスドライバ9に供給するようしている。ゲートバスドライバ9は入力 $V_1$ のT時間のパルス幅の間高レベルの信号 $G_1 \sim G_6$ を出力する。

#### 「発明の効果」

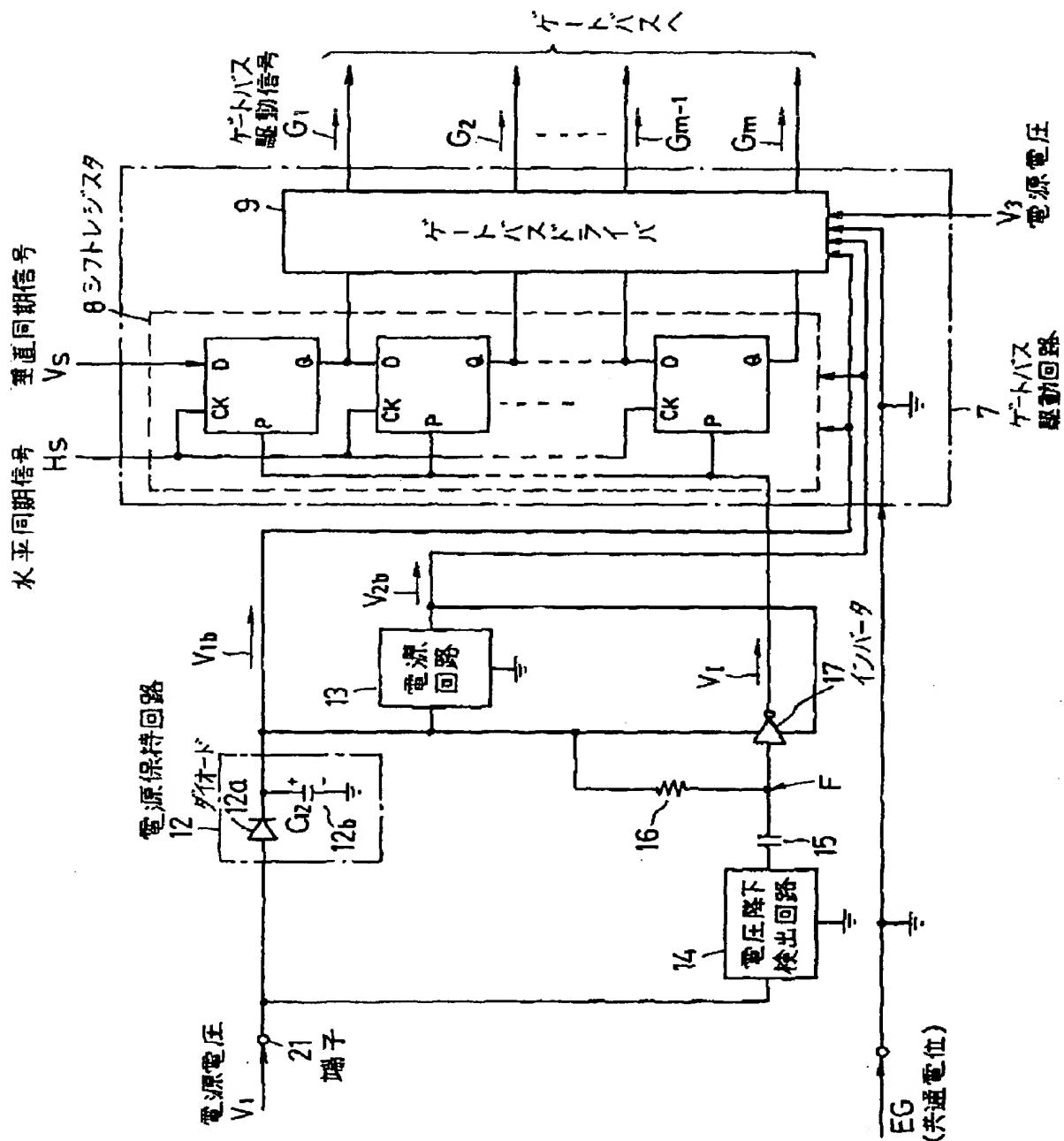
この発明によれば、液晶表示装置の電源オフが自動的に検出され、その検出信号に基づき、画素容量の蓄積電荷が短時間で放電できるよう、全てのゲートバスが同時にアクティブルレベルに保持され、そのゲートバスに接続されたTFTが所定時間オンに保持される。従って残像は短時間でクリアされると共に液晶の寿命及び信頼性の低下が防止される。

残像のクリアがゲートバスのみの電圧操作で行われるので、クリアのための回路が簡単となる。

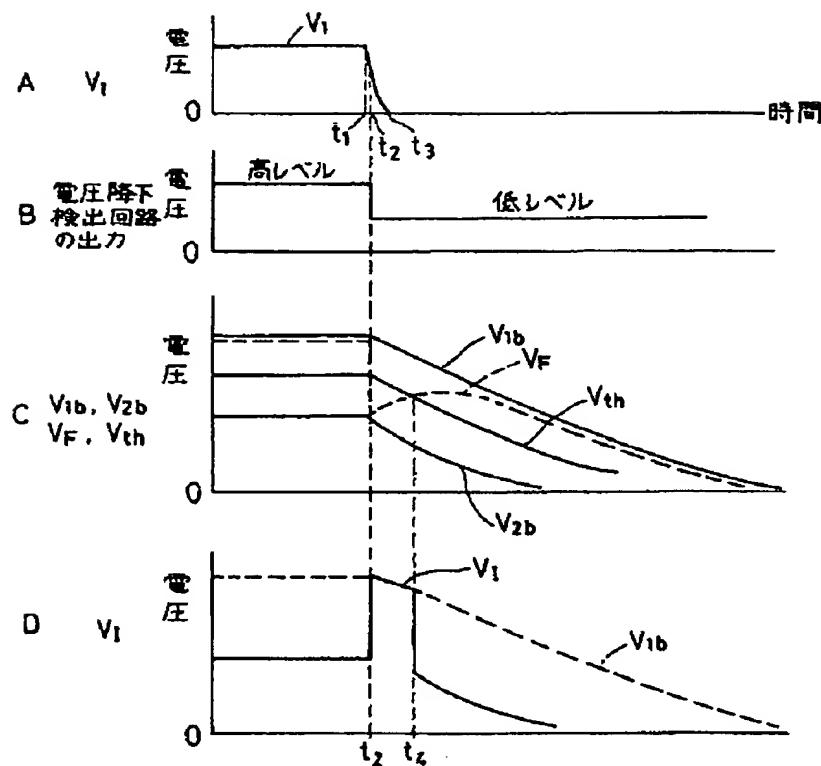
#### 【図面の簡単な説明】

第1図はこの発明の実施例を示すアクティブ液晶表示パネルの要部を示す回路図、第2図は第1図の要部の信号波形図、第3図はこの発明の他の実施例を示すアクティブ液晶表示パネルの要部を示す回路図、第4図は従来のアクティブ液晶表示パネルの回路図、第5図は第4図の要部の信号波形図である。

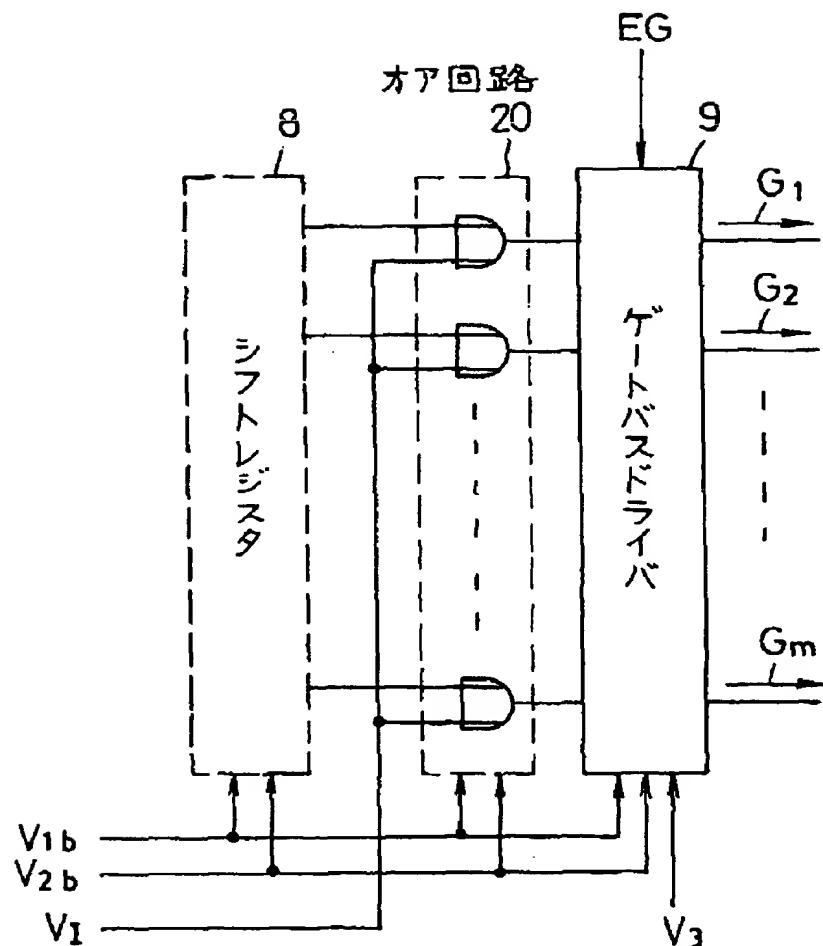
【第 1 図】



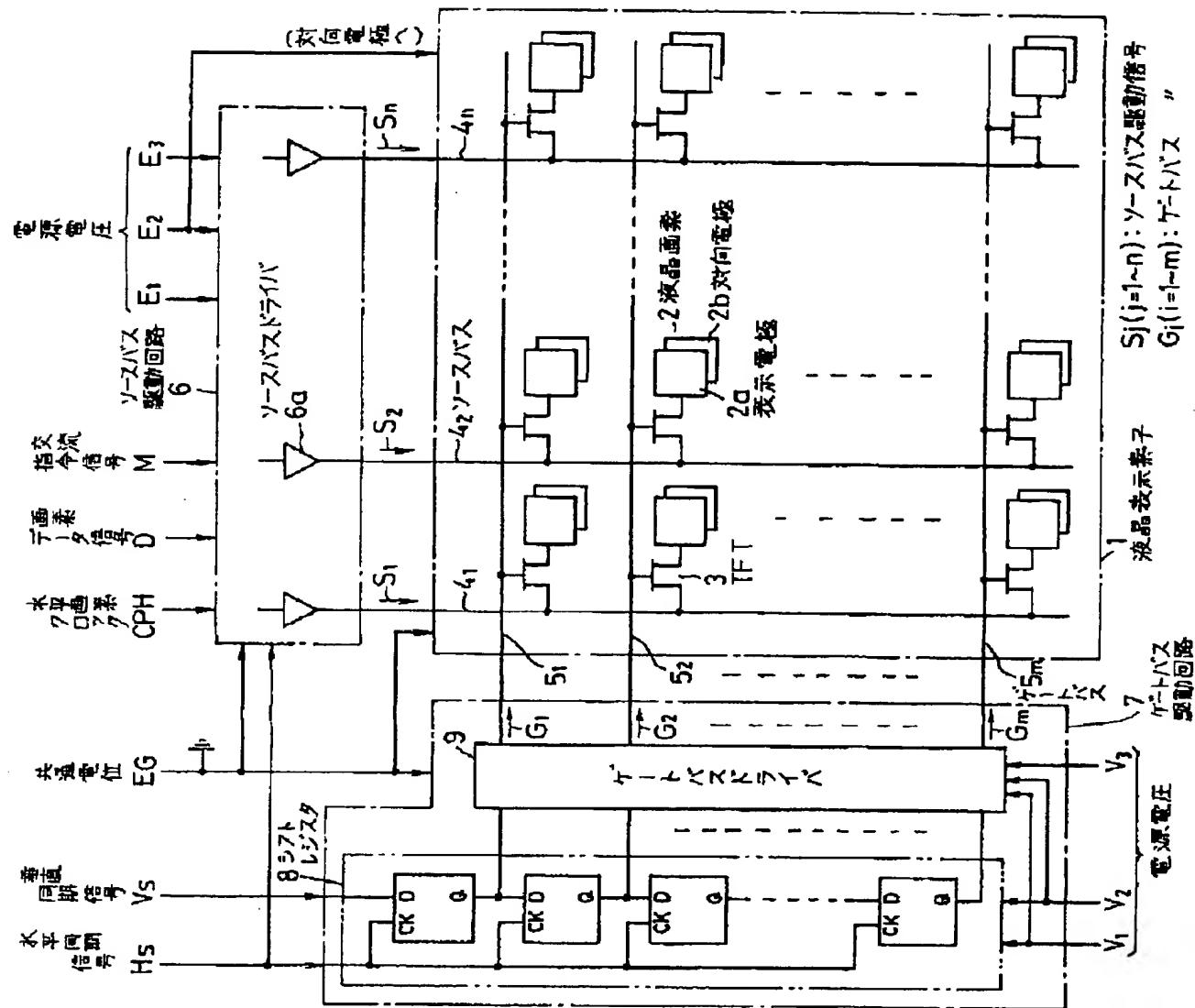
【第 2 図】



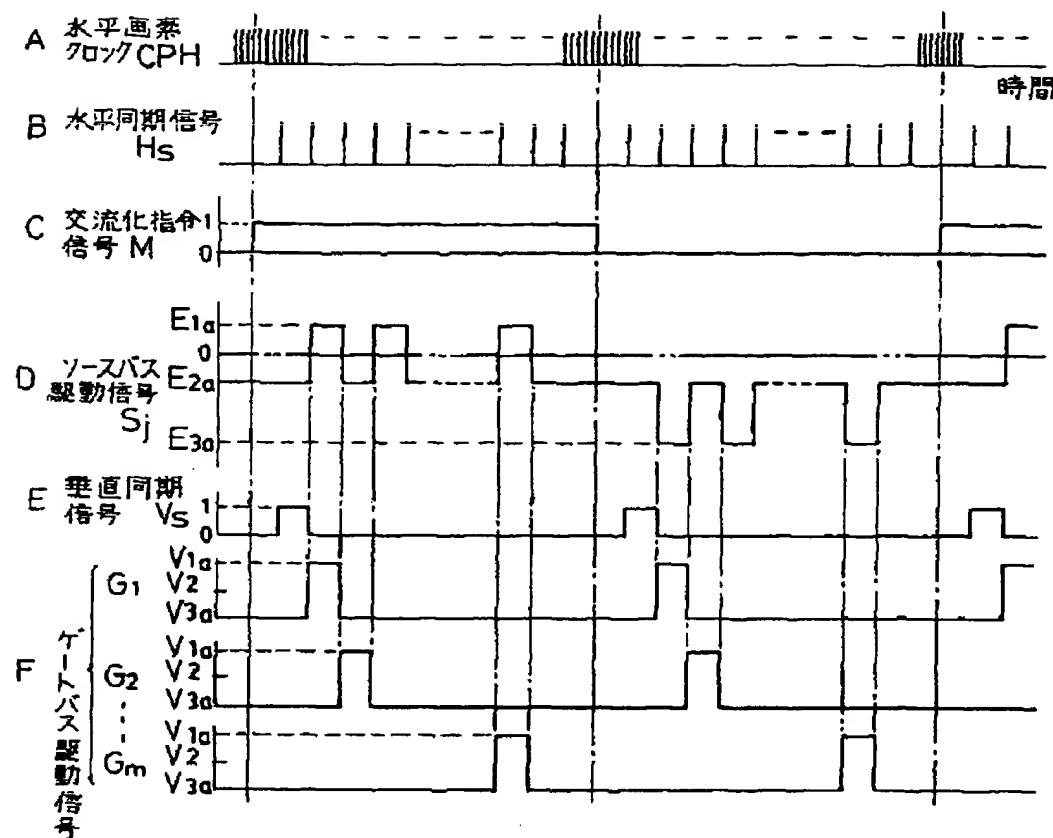
【第 3 図】



【第 4 図】



【第 5 図】



フロントページの続き

- (56) 参考文献 特開 昭 62-165630 (J P, A)  
特開 昭 62-24228 (J P, A)  
特開 平 1-129294 (J P, A)  
特開 昭 61-256387 (J P, A)  
特開 昭 62-209596 (J P, A)  
特開 昭 63-48597 (J P, A)